

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-126263
 (43) Date of publication of application : 15. 05. 1998

(51) Int. Cl. H03L 7/183
 H03L 7/10
 H03L 7/197

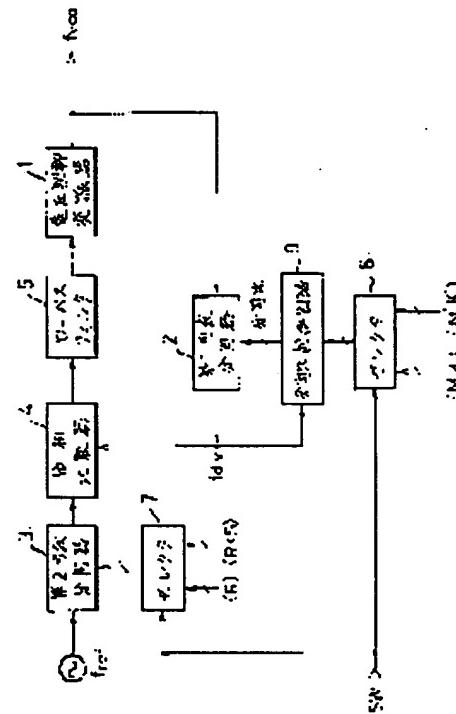
(21) Application number : 08-274905 (71) Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (22) Date of filing : 17. 10. 1996 (72) Inventor : HIRANO SHUNSUKE

(54) FREQUENCY SYNTHESIZER

(57) Abstract:

PROBLEM TO BE SOLVED: To provide the frequency synthesizer whose frequency can be switched at a high speed.

SOLUTION: The synthesizer is provided with a voltage controlled oscillator 1 and a phase comparator 4 that compares a signal, frequency-dividing a frequency of an output of the voltage controlled oscillator 1 with an output of a frequency divider 3 and provides an output of the phase difference to the voltage controlled oscillator 1 via a low-pass filter 5. In the case of changing a frequency of the output of the voltage controlled oscillator 1, at first a comparison frequency is set higher and the comparison frequency is set lower, when the synchronization is nearly locked. Furthermore, the synthesizer is provided with a frequency division ratio control circuit 9 that controls a frequency division ratio of a 1st variable frequency divider 2 frequency-dividing the frequency of the output of the voltage controlled oscillator 1 to include the value below a decimal point. Since the setting frequency division ratio step of the variable frequency divider is divided to be very small, the frequency error of the output of the voltage controlled oscillator 1, before and after the changeover of the comparison frequency, is reduced and high speed locking is attained.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(10)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-126263

(49)公開日 平成10年(1998)5月16日

(51) Int.Cl.
H03L 7/183
 7/10
 7/197

識別記号

F I
H03L 7/18
 7/10
 7/18

B
 A
 A

審査請求 未請求 請求項の数4 OL (全14頁)

(21)出願番号 特願平8-274905

(22)出願日 平成8年(1996)10月17日

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地(72)発明者 平賀 俊介
神奈川県横浜市港北区綱島東四丁目3番1
号 松下通信工業株式会社内

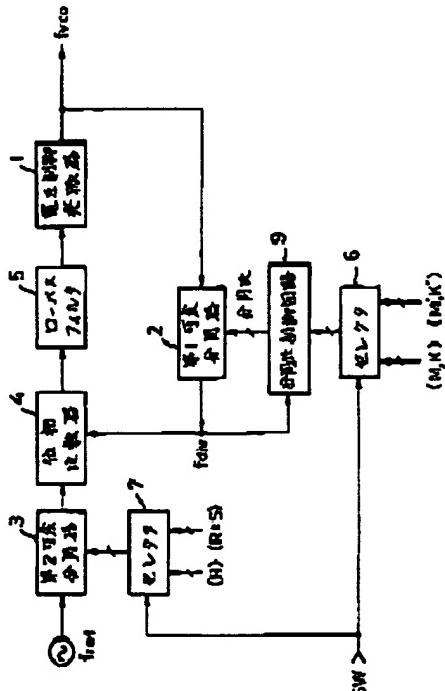
(74)代理人 弁理士 松村 博

(54)【発明の名称】 周波数シンセサイザ装置

(57)【要約】

【課題】 高速に周波数を切り替える周波数シンセサイザ装置を提供する。

【解決手段】 電圧制御発振器1と、この電圧制御発振器1の出力の周波数を分周した信号を比較して、その位相差をローパスフィルタ5を介して電圧制御発振器1に出力する位相比較器4を備え、電圧制御発振器1の出力の周波数を変更する場合に、初めは比較周波数を高くして、ほぼ引き込んだ時点で、比較周波数を低くする周波数シンセサイザ装置において、電圧制御発振器の出力の周波数を分周する第1可変分周器2の分周比を小数点以下の値を含むように制御する分周比制御回路9を設ける。これにより可変分周器の設定分周比ステップを極めて細かくできるので、比較周波数の切り替えの前後で電圧制御発振器1の出力の周波数誤差を小さくでき、高速引き込みを可能にする。



(2)

特開平10-126263

1

2

【特許請求の範囲】

【請求項1】 入力電圧に応じた周波数の信号を発振する電圧制御発振器と、この電圧制御発振器の出力信号を入力し、前記電圧制御発振器の出力信号の周波数を分周する第1可変分周器と、基準信号源の出力信号の周波数を分周する第2可変分周器と、前記第1可変分周器および第2可変分周器からの出力信号を入力し、位相を比較して、その位相差をローパスフィルタを介して前記電圧制御発振器に出力する位相比較器と、前記電圧制御発振器の出力信号の周波数を変更するときに、前記第1可変分周器の出力周波数と前記第2可変分周器の出力周波数と同じ割合で下げるよう、前記第1可変分周器および第2可変分周器に設定する分周比を切り替える手段とを有する周波数シンセサイザ装置において、前記第1可変分周器の分周比が時間的に変化しつつその時間平均の値が小数点以下の値を含むように制御する分周比制御回路を備えたことを特徴とする周波数シンセサイザ装置。

【請求項2】 前記電圧制御発振器の出力信号の周波数を予め設定された分周比で分周し、前記第1可変分周器へ出力する固定分周器を備えたことを特徴とする請求項1記載の周波数シンセサイザ装置。

【請求項3】 前記位相比較器を、前記第1可変分周器および第2可変分周器の出力信号を入力して排他的論理和を出力する排他的論理回路から構成し、前記第1可変分周器および第2可変分周器の出力周波数を変更する前後において、前記位相比較器の出力信号のデューティ比が変化しないように、前記第1可変分周器の動作を一時的に停止させることを特徴とする請求項1または2記載の周波数シンセサイザ装置。

【請求項4】 前記位相比較器の出力信号のパルス幅を前記基準信号源の出力信号でカウントする第1カウンタ回路と、前記第1可変分周器の出力周波数を $1/S$ 倍に変更する際に、前記第1カウンタ回路のカウント値に応じて、前記基準信号源の周波数の $1/S$ 倍の周波数の信号をカウントする第2カウンタ回路と、前記第2カウンタ回路がカウントしている間、前記第1可変分周器の動作を停止する手段を備えたことを特徴とする請求項3記載の周波数シンセサイザ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、通信分野など幅広い分野において、希望周波数の信号を作り出すために使用される周波数シンセサイザ装置に関し、特に引き込み時において比較周波数を切り替えて高速引き込みを可能にしたものである。

【0002】

【従来の技術】 周波数シンセサイザ装置は、例えば通信装置の場合、基準発振器の信号から任意の周波数の搬送波を作り出すために使用される。

【0003】 従来の周波数シンセサイザ装置は、図7に

示すように、入力電圧に応じた周波数の信号を発振する電圧制御発振器(以下、VCOという)1と、外部より設定される分周比を制御信号(SW)に基づいて選択し出力する第1のセレクタ6および第2のセレクタ7と、セレクタ6の出力する分周比に基づいてVCO1の出力信号(f_{VCO})の周波数を分周する第1可変分周器2と、セレクタ7の出力する分周比に基づいて基準信号源の出力信号f_{ref}の周波数を分周する第2可変分周器3と、第1可変分周器2の出力信号と第2可変分周器3の出力信号との位相を比較して位相差を出力する位相比較器4と、位相比較器4の出力を平均化するローパスフィルタ(以下、LPFという)5とを備えており、LPF5の出力信号がVCO1に入力される。

【0004】 この種の周波数シンセサイザ装置は、特開平2-246243号公報に記載されているように、引き込み時(制御信号により分周比を変更してからVCO1の出力が安定するまでの間のことをいう)は、比較周波数(第2可変分周器3の出力信号(f_{comp})の周波数)を高くしてループの応答性を高めて、急速にf_{VCO}を目標周波数に近づけ、ほぼ引き込んだところで、比較周波数を下げて目標周波数で安定するようしている。

【0005】 すなわち、引き込み時に、第1可変分周器2は、f_{VCO}を分周比Mで分周した信号(f_{div})を出し、第2可変分周器3は、f_{ref}を分周比Rで分周した信号(f_{comp})を出力する。位相比較器4は、f_{comp}とf_{div}の位相を比較して位相差を出力する。位相比較器4の出力信号は、LPF5で平均化された後にVCO1の制御電圧端子に入力され、VCO1は、制御電圧に加わる電圧に応じて、出力する信号の周波数を変化させる。

【0006】 この信号は外部に出力されるとともに、第1可変分周器2のフィードバックループに入力し、f_{comp}とf_{div}の周波数および位相を一致させるように動作する。

【0007】 そして、f_{comp}とf_{div}の周波数および位相がほぼ一致したら、制御信号SWにより、第1可変分周器2および第2可変分周器3に設定している分周比を切り替える(ここではS倍とする)。この後、周波数が $1/S$ 倍されたf_{comp'}とf_{div'}の周波数および位相が一致したところでVCO1の出力信号は安定する。

【0008】 引き込み時のf_{VCO}は(数1)のようになる。

【0008】

【数1】 $f_{VCO} = M \times f_{comp}$

安定時のf_{VCO}は(数2)のようになる。

【0009】

【数2】 $f_{VCO} = M' \times f_{comp'}$

(但し、 $M' = M \times S$ 、 $f_{comp'} = f_{comp}/S$)

また、図8は従来の他の周波数シンセサイザ装置の構成を示すブロック図である。図8に示す周波数シンセサイザ装置は、図7の周波数シンセサイザ装置に対し、f_{VCO}を予め設定された一定の分周比Qで分周しつつ出力信

(3)

特開平10-126263

3

4

号を第1可変分周器2へ入力する固定分周器8が設けられたものである。

【0010】この構成の場合、第1可変分周器2に比べて比較的構成の簡単な固定分周器8を挿入することにより、第1可変分周器2の動作周波数が $1/Q$ 倍になるので、消費電力が図7の構成に比較して少なくなる。特に、 f_{VCO} が1GHz程度の携帯電話等の無線通信装置で使用される周波数シンセサイザ装置のように、 f_{VCO} の周波数が高くなるほどこの効果は大きい。

【0011】この構成における引き込み時の f_{VCO} は(数3)のようになる。

【0012】

$$[数3] f_{VCO} = Q \times M \times f_{comp}$$

安定時の f_{VCO} は(数4)のようになる。

【0013】

$$[数4] f_{VCO} = Q \times M' \times f_{comp'}$$

(但し、 $M' = M \times S$ 、 $f_{comp'} = f_{comp}/S$)

【0014】

【発明が解決しようとする課題】図7に示した周波数シンセサイザ装置において、所望の設定周波数間隔(f_{step})を得るために、(数2)における安定時の比較周波数は(数5)のよう設定する。

【0015】

$$[数5] f_{comp'} = f_{step}$$

これより、(数1)は(数6)のようになる。

【0016】

$$[数6] f_{VCO} = M \times S \times f_{step}$$

したがって、引き込み時においては、 f_{VCO} が $S \times f_{step}$ 刻みでしか設定できないため、 f_{VCO} によっては、引き込み時と安定時とで目標周波数が異なる場合がある。このような場合は、比較周波数を切り替えたときに $f_{comp'}$ と $f_{div'}$ で誤差が生じてしまうため、引き込み時間を十分に短縮できないという問題がある。

【0017】また、図8に示した周波数をシンセサイザ装置において、所望の設定周波数間隔(f_{step})を得るために、(数4)における安定時の比較周波数は(数7)のよう設定する。

【0018】

$$[数7] f_{comp'} = f_{step}/Q$$

これより、(数3)は(数8)のようになる。

【0019】

$$[数8] f_{VCO} = M \times S \times f_{step}/Q$$

この場合も図7の場合と同様に考えられ、引き込み時においては、 f_{VCO} が $S \times f_{step}/Q$ 刻みでしか設定できないため、 f_{VCO} によっては、引き込み時と安定時とで目標周波数が異なる場合がある。このような場合は、比較周波数を切り替えたときに $f_{comp'}$ と $f_{div'}$ で誤差が生じてしまうため、引き込み時間を十分に短縮できないという問題がある。

【0020】さらに、図7の構成の場合と比べて比較周

波数が $1/Q$ 倍となるため、実質的に図7の構成よりも引き込み時間が長くなってしまうという問題もある。

【0021】ところで、今までの説明は、 f_{comp} と f_{div} の位相が一致したところで周波数シンセサイザ装置が安定するように動作する位相比較器を用いた場合のものであった。そこで、図9は位相比較器の別の構成を示す回路図であり、50は位相比較器を示し、この位相比較器50には、 f_{comp} の周波数を2分周する2分周器51と、 f_{div} の周波数を2分周する2分周器52と、2分周器51と2分周器52との出力の排他的論理とを組み合った排他的論理回路(以下、EXORゲートという)53とが備えられている。そして、位相比較器50の出力(PDout)はLPF5を通過し、その平均電圧でVCO1の周波数を制御する。すなわち、PDoutのデューティ比がVCO1の周波数を決定する。

【0022】図10は、SW信号により分周比を切り替える前後のタイミングチャートを示している。SW信号がLowレベル(Lレベル)からHighレベル(Hレベル)に切り替わったら分周比をS倍(図10では4倍にしている)に変更するものとする。図10で、SWがLレベルの区間ににおいてPDoutはデューティ比が50%で安定しており、周波数シンセサイザ装置は引き込み動作をほぼ完了している。ここでSWをHレベルにしてセレクタ6とセレクタ7の出力する分周比をS倍に変更する。SWがHレベルに変化してから最初の f_{comp} のエッジ(3)で、S倍された分周比が第2可変分周器3に設定され、この時点からS倍された分周比での分周を開始し、その後 f_{comp} のエッジ(4)を出力する。また、第1可変分周器2は、SWがHレベルに変化してから最初の f_{div} のエッジ(3)で、S倍された分周比が設定され、この時点からS倍された分周比での分周を開始し、その後 f_{div} のエッジ(4)を出力する。

【0023】このように、排他的論理回路型の位相比較器50を用いた場合は、SWが変化する直後においてPDoutのデューティ比が大きく変化するため、目標周波数とはば一致していたVCO1の周波数を大きく変化させてしまい、結果として引き込み時間を長くするという問題がある。

【0024】本発明は、このような従来の問題を解決するもので、可変分周器を等価的に小数点以下を含む分周比で動作させることで、比較周波数を切り替えた時に、 $f_{comp'}$ と $f_{div'}$ との誤差を小さくし、高速引き込みが可能な周波数シンセサイザ装置を提供することを課題としている。

【0025】

【課題を解決するための手段】上記課題を解決達成するための本発明は、入力電圧に応じた周波数の信号を発振する電圧制御発振器と、この電圧制御発振器の出力信号を入力し、前記電圧制御発振器の出力信号の周波数を分周する第1可変分周器と、基準信号源の出力信号の周波

(4)

特開平10-126283

5

数を分周する第2可変分周器と、前記第1可変分周器および第2可変分周器からの出力信号を入力し、位相を比較して、その位相差をローパスフィルタを介して前記電圧制御発振器に出力する位相比較器とを備え、前記電圧制御発振器の出力信号の周波数を変更するときに、前記第1可変分周器の出力周波数と前記第2可変分周器の出力周波数とを同じ割合で下げるよう、前記第1可変分周器および第2可変分周器に設定する分周比を切り替える手段とを有する周波数シンセサイザ装置において、前記第1可変分周器の分周比が時間的に変化しつつその時間平均の値が小数点以下の値を含むように制御する分周比制御回路を備えたものであり、このような構成により、比較周波数の切り替えの前後で、位相比較器の2つの入力にほとんど誤差を生じず、高速引き込みができるという作用を有する。

【0026】また、前記電圧制御発振器の出力信号の周波数を予め設定された分周比で分周し、前記第1可変分周器へ出力する固定分周器を備えた構成としたものであり、このような構成により、消費電力が少なく、さらに、固定分周器を設けているにもかかわらず比較周波数を固定分周比の1倍になくともよいという作用を有する。

【0027】また、前記位相比較器を、前記第1可変分周器および第2可変分周器の出力信号を入力して排他的論理と出力する排他的論理と回路から構成し、前記第1可変分周器および第2可変分周器の出力周波数を変更する前後において、前記位相比較器の出力信号のデューティ比が変化しないように、前記第1可変分周器の動作を一時的に停止させるように構成したものであり、前記第1可変分周器の出力周波数を変更する前後で、前記位相比較器が出力する信号のデューティ比がほとんど変化せず、安定に定常状態に引き込むことができるという作用を有する。

【0028】また、前記位相比較器の出力信号のパルス幅を前記基準信号源の出力信号でカウントする第1カウンタ回路と、前記第1可変分周器の出力周波数を $1/S$ 倍に変更する際に、前記第1カウンタ回路のカウント値に応じて、前記基準信号源の周波数の $1/S$ 倍の周波数の信号をカウントする第2カウンタ回路と、前記第2カウンタ回路がカウントしている間、前記第1可変分周器の動作を停止する手段を備えたものであり、このような構成により、安定に定常状態に引き込むことができるという作用を有する。

【0029】

【発明の実施の形態】以下、本発明の実施形態について、図面を用いて説明する。なお、図7に示す従来技術における部材と同一の部材には同一の符号を付すことで詳細な説明は省略した。

【0030】図1は本発明の第1実施形態における周波数シンセサイザ装置の回路構成を示すブロック図であ

6

り、9は分周比制御回路を示す。分周比制御回路9の出力する分周比に基づいて第1可変分周器2がVCO1の出力信号(f_{vco})の周波数を分周し、その出力信号(f_{div})は、位相比較器4に入力されると共に、分周比制御回路9にフィードバックされる。さらに、分周比制御回路9は、 f_{div} をクロックとし、セレクタ6で設定されるデータに基づき第1可変分周器2に設定する分周比を小数点以下の値を含むように制御する。

【0031】図2は分周比制御回路の構成の一例を示すブロック図であり、10はキャリー信号を出力するアキュームレータ、11は、外部より設定されるデータMとキャリー信号とを加算し、分周比として第1可変分周器2に出力する加算器を示す。アキュームレータ10は、 f_{div} をクロックとするレジスタ12と、加算器13とによって構成され、加算器13は外部より設定されるデータKを毎クロック加算する。

【0032】以下、動作について説明する。図2に示した分周比制御回路において、アキュームレータ10はデータKずつ毎クロック加算する。アキュームレータ10がキャリー信号を発生したら、加算器11により、データMとキャリー信号(1レベル)とを加算し、分周比として出力する。すなわち、キャリー信号が発生していないときは分周比Mが出力され、キャリー信号が発生すると分周比M+1が出力される。今、アキュームレータ10は、加算器13の加算結果がしを越えるとキャリー信号を出力するものとすると、Lクロックではし/K回キャリー信号が発生することになる。よって、Lクロックでの分周比の変化の時間平均値Maveは(数9)で表される。

【0033】

【数9】

$$\begin{aligned} Mave &= (M+1) K/L + (1-K/L) \\ &= M+K/L \end{aligned}$$

ここで、M、K、Lはすべて整数なので、(数9)は小数点以下を含む分周比を表している。また、引き込み時の f_{vco} は(数10)で表される。

【0034】

$$\text{【数10】 } f_{vco} = (M+K/L) \times f_{comp}$$

さらに、安定時の f_{vco} は(数11)で表される。

【0035】

【数11】 $f_{vco} = (M'+K'/L) \times f_{comp'}$
但し、 $M'=M \times S$ 、 $K'=K \times S$ 、 $f_{comp'} = f_{comp}/S$

なお、(数10)、(数11)において f_{vco} に設定可能な最小の周波数分解能は、それぞれ f_{comp}/L 、 $f_{comp'}/L$ である。

【0036】ここで、所望の設定周波数間隔(f_{step})は(数12)で表される。

【0037】

【数12】

$$f_{step} \gg f_{comp}/L, \text{または, } f_{step} \gg f_{comp'}/L$$

(5)

特開平10-126263

8

すなわちしを十分大きく設定することにより、比較周波数切り替え時の f_{comp} と f_{div} の誤差を小さくでき、引き込み時間を十分短縮できる。

【0038】また、定常時の比較周波数を低くできるので、位相比較器 4 や分周比制御回路 9 の動作周波数が下がり、定常時の消費電力を低減できる。

【0039】図 3 は本発明の第 2 実施形態における周波数シンセサイザ装置の回路構成を示すブロック図であり、20 は固定分周器を示し、第 2 実施形態における周波数シンセサイザ装置は、図 3 に示すように、図 1 に示す周波数シンセサイザ装置に対して、 f_{vco} を一定の分周比 Q で分周し、出力信号を第 1 可変分周器 2 へ入力する固定分周器 20 が設けられたものである。

【0040】以下、動作について説明する。第 1 実施形態と同じ要領で引き込み時の f_{vco} を求めると、 f_{vco} は(数13)で表される。

【0041】

【数13】 $f_{vco} = Q \times (M + K/L) \times f_{comp}$
また、安定時の f_{vco} は(数14)で表される。

【0042】

【数14】 $f_{vco} = Q \times (M' + K'/L) \times f_{comp}'$
但し、 $M' = M \times S$ 、 $K' = K \times S$ 、 $f_{comp}' = f_{comp}/S$

(数13)、(数14)において f_{vco} に設定可能な最小の周波数分解能は、それぞれ $Q \times f_{comp}/L$ 、 $Q \times f_{comp}'/L$ である。

【0043】ここで、

【0044】

【数15】 $f_{step} > Q \times f_{comp}/L$ 、または、 $f_{step} > Q \times f_{comp}'/L$

となるように L を十分大きく設定すれば、比較周波数切り替え時の f_{comp} と f_{div} の誤差を小さくでき、引き込み時間を十分短縮できる。

【0045】このような構成により、第 1 実施形態と比べると設定周波数分解能は Q 倍となるが、L を大きく設定することで極めて細かく周波数を設定できるため、従来例のように比較周波数を 1/Q 倍にする必要がなく、引き込み特性を劣化させることはない。

【0046】さらに、 f_{vco} の周波数で動作するのは比較的回路規模の小さい固定分周器のみで、回路規模の大きい可変分周器の動作周波数が 1/Q 倍されるため、消費電力を少なくできる。また、これは f_{vco} の周波数が高いほど効果が大きい。

【0047】図 4 は本発明の第 3 実施形態における周波数シンセサイザ装置の回路構成を示すブロック図であり、30 はデューティ比保持手段を示し、このデューティ比保持手段 30 は、基準信号源の出力信号(f_{ref})と制御信号(SW)と位相比較器出力(PDout)が入力されて第 1 可変分周器 2 のカウントイネーブル信号(EN)を出力するものである。すなわち、第 3 実施形態における周波

数シンセサイザ装置は、図 1 に示す第 1 実施形態の周波数シンセサイザ装置に、デューティ比保持手段 30 を設け、さらに、第 1 可変分周器 2 に EN が H レベルのときにカウント動作を停止する機能を備えたものである。
 【0048】図 5 はデューティ比保持手段の回路構成を示すブロック図であり、31 は、PDout および f_{ref} を入力し、PDout が H レベルのときに f_{ref} を出力する AND ゲート、32 は AND ゲート 31 の出力をカウントするカウンタ、33 は PDout の立ち下がりエッジでカウンタ 32 のカウント値を格納するレジスタ、34 は、PDout を入力し、PDout を遅延させ PDout が L レベルのときにカウンタ 32 をクリアする遅延手段、35 は f_{ref} を S 分周する分周器、36 は、分周器 35 の出力および f_{ref} を入力し、分周器 35 の出力を PDout が H レベルのときに出力する AND ゲート、37 は、AND ゲート 36 の出力をカウントし、レジスタ 33 に格納されている値をカウントしたときに発生するオーバーフロー信号(OF)で自分自身をクリアするカウンタ、38 は、SW の立上りエッジで H レベルを出力し、カウンタ 37 の OF でクリアされる D フリップフロップ、39 は、PDout の立上りエッジで H レベルを出力し、SW が L レベルのときにクリアされる D フリップフロップ、40 は、D フリップフロップ 38、39 の出力の AND をとり、出力が H レベルのときはカウンタ 37 にカウント動作させるとともに EN として外部へ出力する AND ゲートとを備えている。デューティ比保持手段 30 は、符号 31~40 に示す部材で構成されている。
 【0049】図 6 は信号 SW により分周比を切り替える前後の各出力信号を動作を示すタイミングチャートである。以下、図 4~図 6 を用いて動作を説明する。SW が 30 L レベルから H レベルに切り替わったら分周比を S 倍(図 10 では 4 倍にしている)に変更するものとする。図 6 で SW が L レベルの区間において PDout はデューティ比が 50% で安定しており、周波数シンセサイザ装置は引き込み動作をほぼ完了している。
 【0050】このときカウンタ 32 は PDout の H レベルのパルス幅をカウントし、PDout の立ち下がりエッジでレジスタ 33 にカウント値を格納している。ここで、SW を H レベルにしてセレクタ 8 およびセレクタ 7 の出力する分周比を変更する。SW が H レベルに変化してから最初の f_{comp} のエッジ(3)で、S 倍された分周比が第 2 可変分周器 3 に設定され、この時点から S 倍された分周比での分周を開始する。その後、 f_{comp} のエッジ(4)を出力する。
 【0051】また、SW の立ち上がりエッジで D フリップフロップ 38 の出力は H レベルになり、さらに PDout の立ち上がりエッジで D フリップフロップ 39 の出力が H レベルになり、AND ゲート 40 により EN が H レベルになる。これにより、カウンタ 37 は f_{ref} の周波数を S 分周した信号をクロックとしてカウントを開始し、同時に 50 第 1 可変分周器 2 は動作を停止する。カウンタ 37 がオ-

(6)

特開平10-126263

9

バーフロー信号を発生したら、カウンタ37自身をクリアするとともにDフリップフロップ38をクリアする。そして、ENはLレベルになりカウンタ37の動作を停止するとともに第1可変分周器2の動作を再開させる。第1可変分周器2は、その後 f_{div} のエッジ(4)を出力し、ここで分周比制御回路9を介し、S倍された分周比が設定される。

【0052】このように構成したことにより、排他的論理回路型の位相比較器を用いた場合でも、SWが変化する前に目標周波数とほぼ一致していたVCO1の周波数は変化することなく、安定に定常状態に引き込むことができる。

【0053】なお、分周比制御回路9をアキュームレータと加算器で構成しているが、それに限るものではなく、時間平均が小数点以下の値を含むように分周比を時間的に変化させるような構成であれば、同様に実施可能である。

【0054】

【発明の効果】以上、説明したような構成された本発明によれば、次に記載する効果を奏す。

【0055】請求項1記載の構成によれば、周波数シンセサイザ装置における設定周波数間隔を極めて小さくできるため、引き込み動作の過程で比較周波数を切り替えた際に、その前後で位相比較器の2入力問すなわち第1、第2可変分周器の出力信号における誤差を小さくでき、その結果、高速に引き込むことができる。

【0056】請求項2記載の構成によれば、固定分周器を使用した場合でも、誤差を生じないばかりか比較周波数を下げる必要がないので引き込み特性を損なうことはない。また、可変分周器の動作周波数が下がり消費電力を低減できる。

【0057】請求項3および請求項4記載の構成によれば、排他的論理回路型の位相比較器を用いた場合にも、比較周波数を切り替える前後で位相比較器出力のデ

10

ューティ比を保持できるため、安定に定常状態に引き込むことができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態における周波数シンセサイザ装置のブロック図である。

【図2】第1実施形態における分周比制御回路の構成の一例のブロック図である。

【図3】本発明の第2実施形態における周波数シンセサイザ装置のブロック図である。

【図4】本発明の第3実施形態における周波数シンセサイザ装置のブロック図である。

【図5】第3実施形態におけるデューティ比保持手段の構成の一例のブロック図である。

【図6】第3実施形態の動作を説明するタイミングチャートである。

【図7】従来の周波数シンセサイザ装置のブロック図である。

【図8】従来の別の周波数シンセサイザ装置のブロック図である。

【図9】排他的論理回路型の位相比較器の構成の一例のブロック図である。

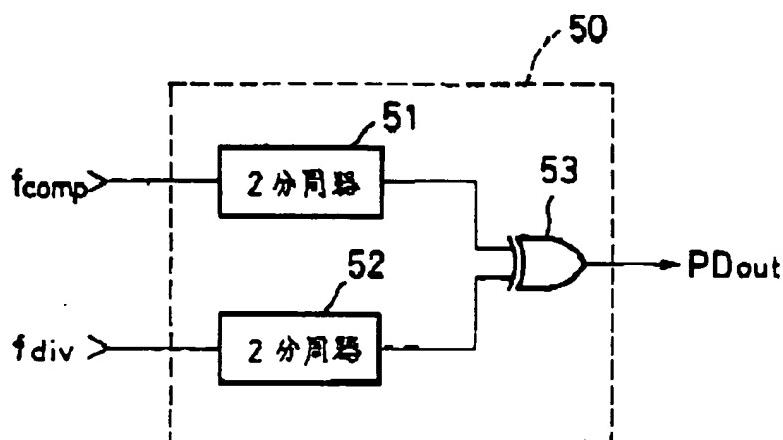
【図10】図9の位相比較器におけるSW信号により分周比を切り替える前後の各出力信号の動作を示すタイミングチャートである。

【符号の説明】

1…電圧制御発振器、 2…第1可変分周器、 3…第2可変分周器、 4, 50…位相比較器、 5…ローパスフィルタ、 6, 7…セレクタ、 8, 20…固定分周器、 9…分周比制御回路、 10…アキュームレータ、

30 11, 13…加算器、 12, 33…レジスタ、 30…デューティ比保持手段、 31, 36, 40…ANDゲート、 32, 37…カウンタ、 34…遅延手段、 35…分周器、 38, 39…Dフリップフロップ、 51, 52…2分周器、 53…排他的論理回路。

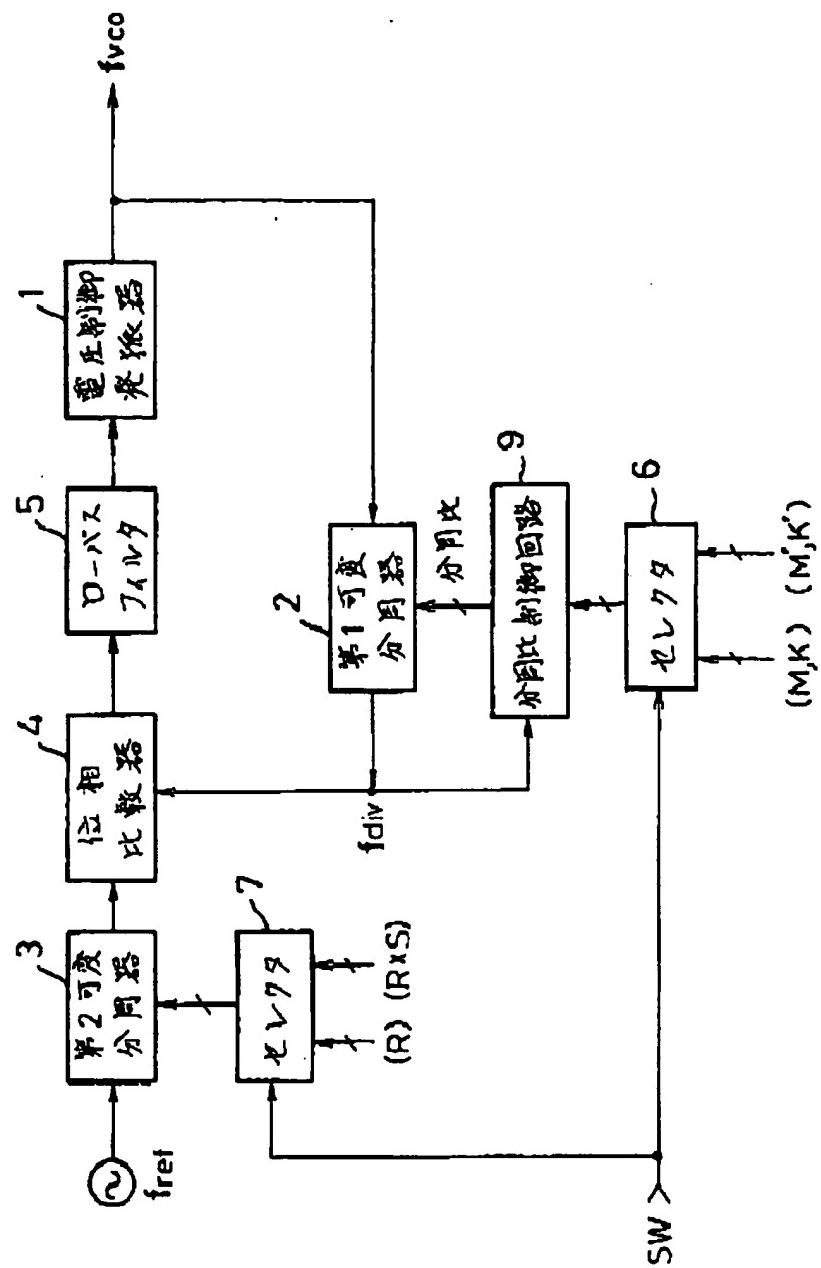
【図9】



(7)

特開平10-126263

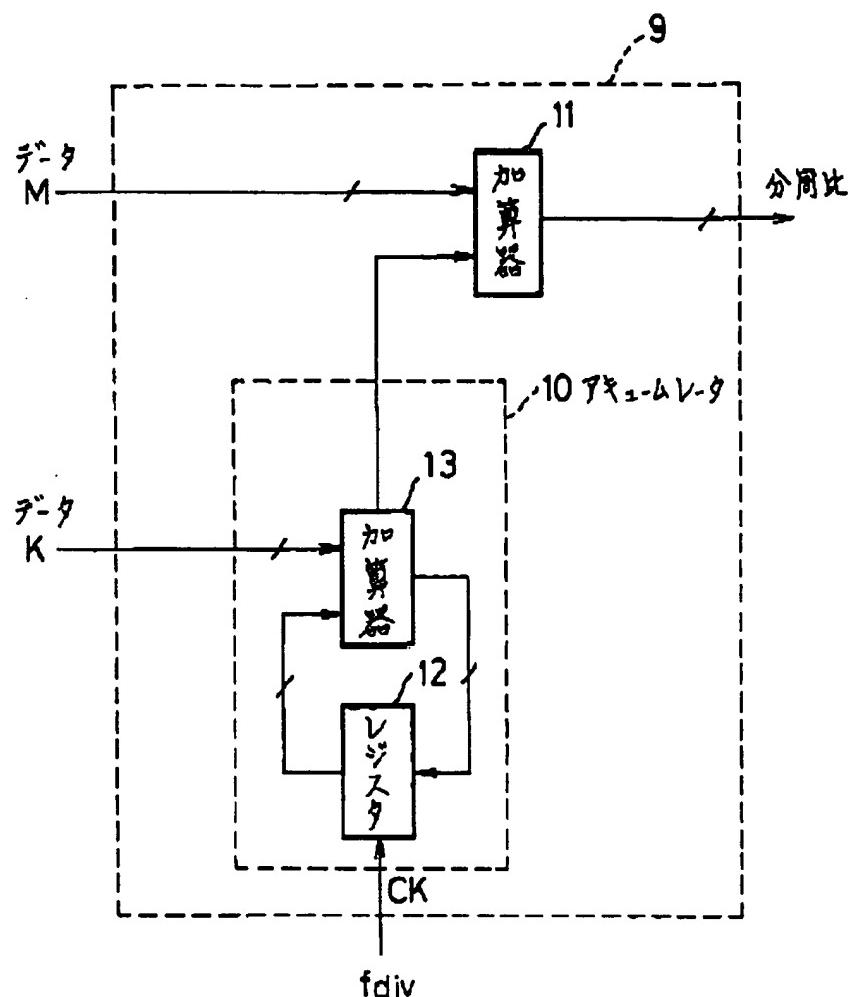
【図1】



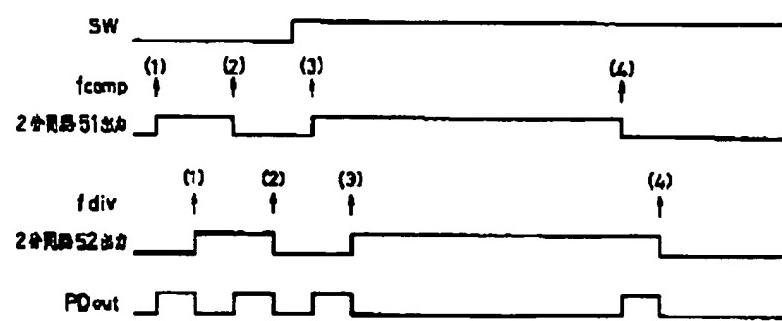
(8)

特開平10-126263

【図2】



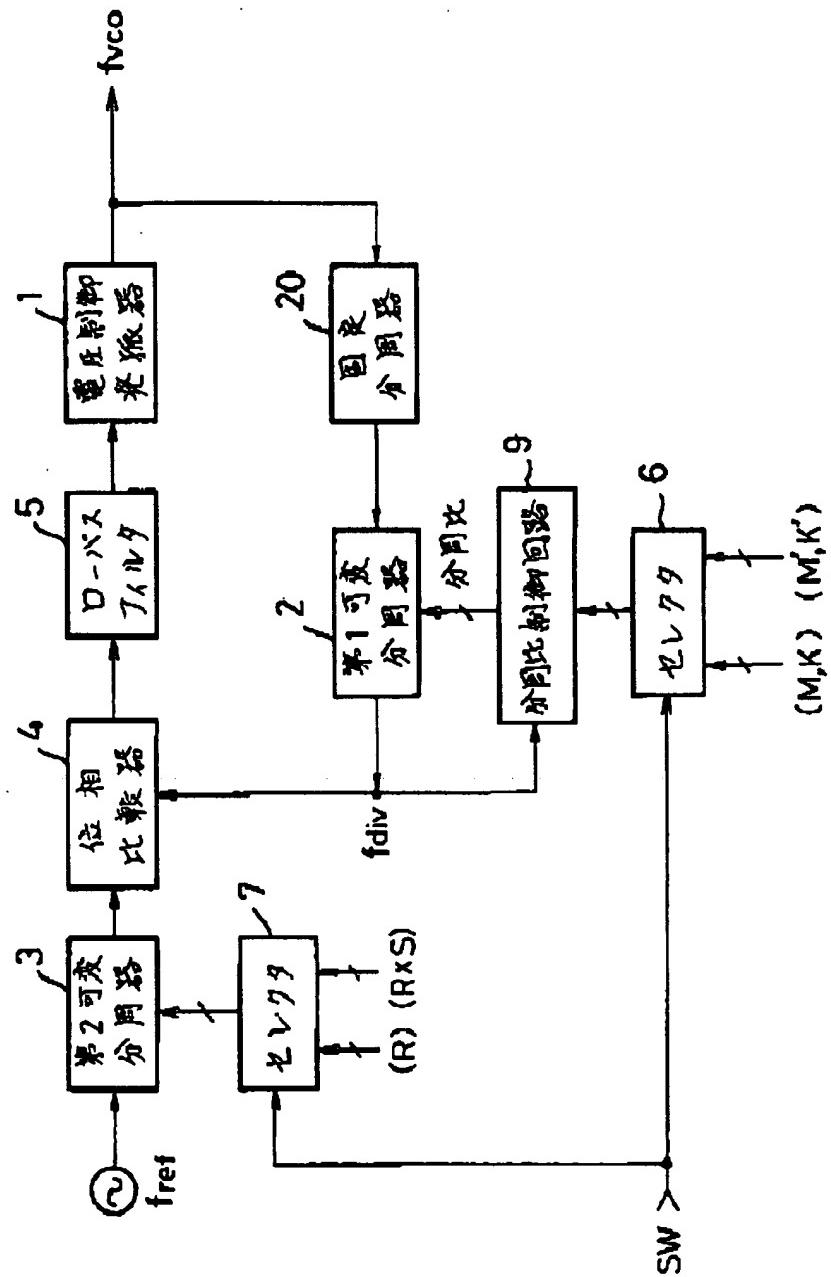
【図10】



(9)

特開平10-126263

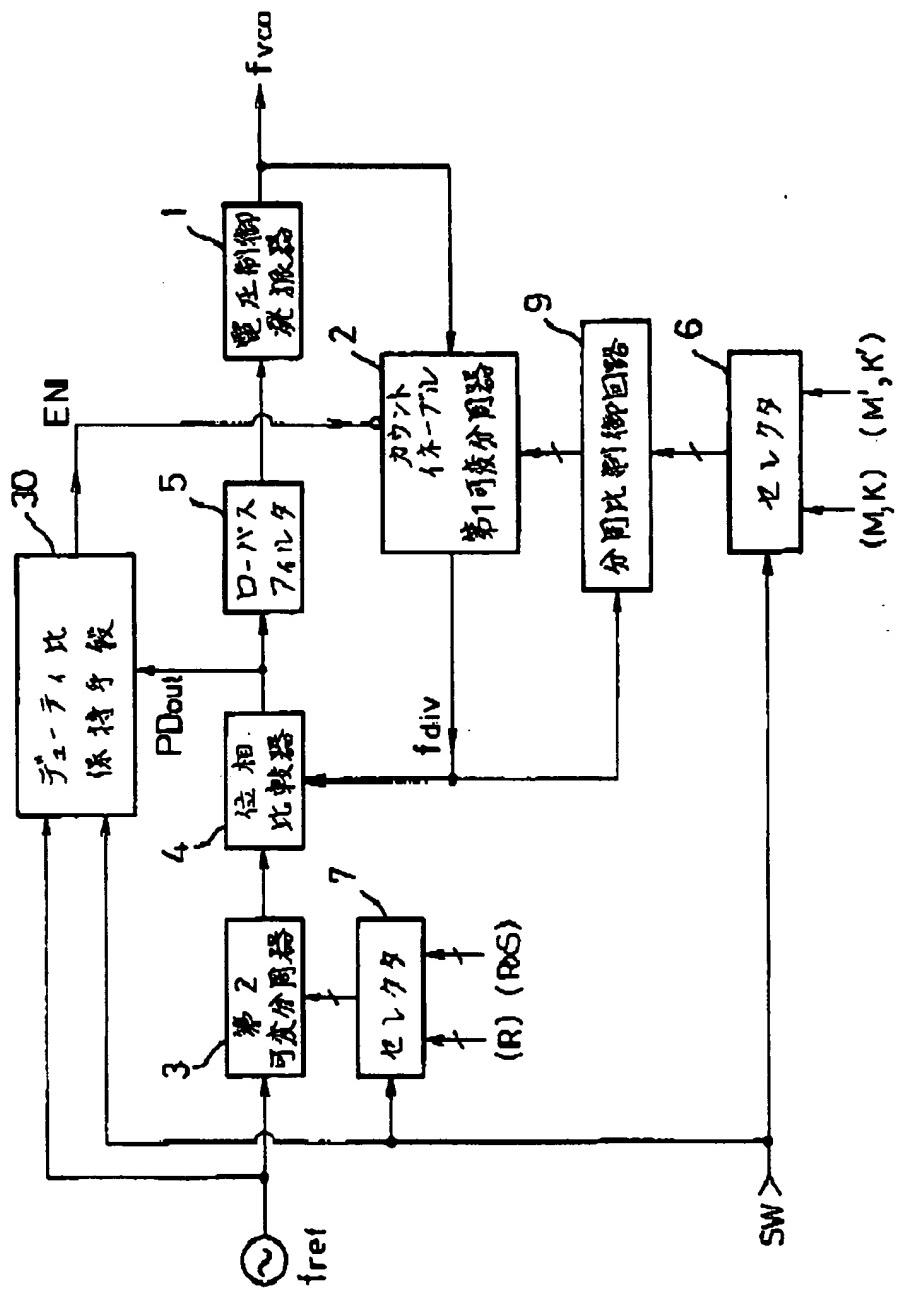
【図3】



(10)

特開平10-126263

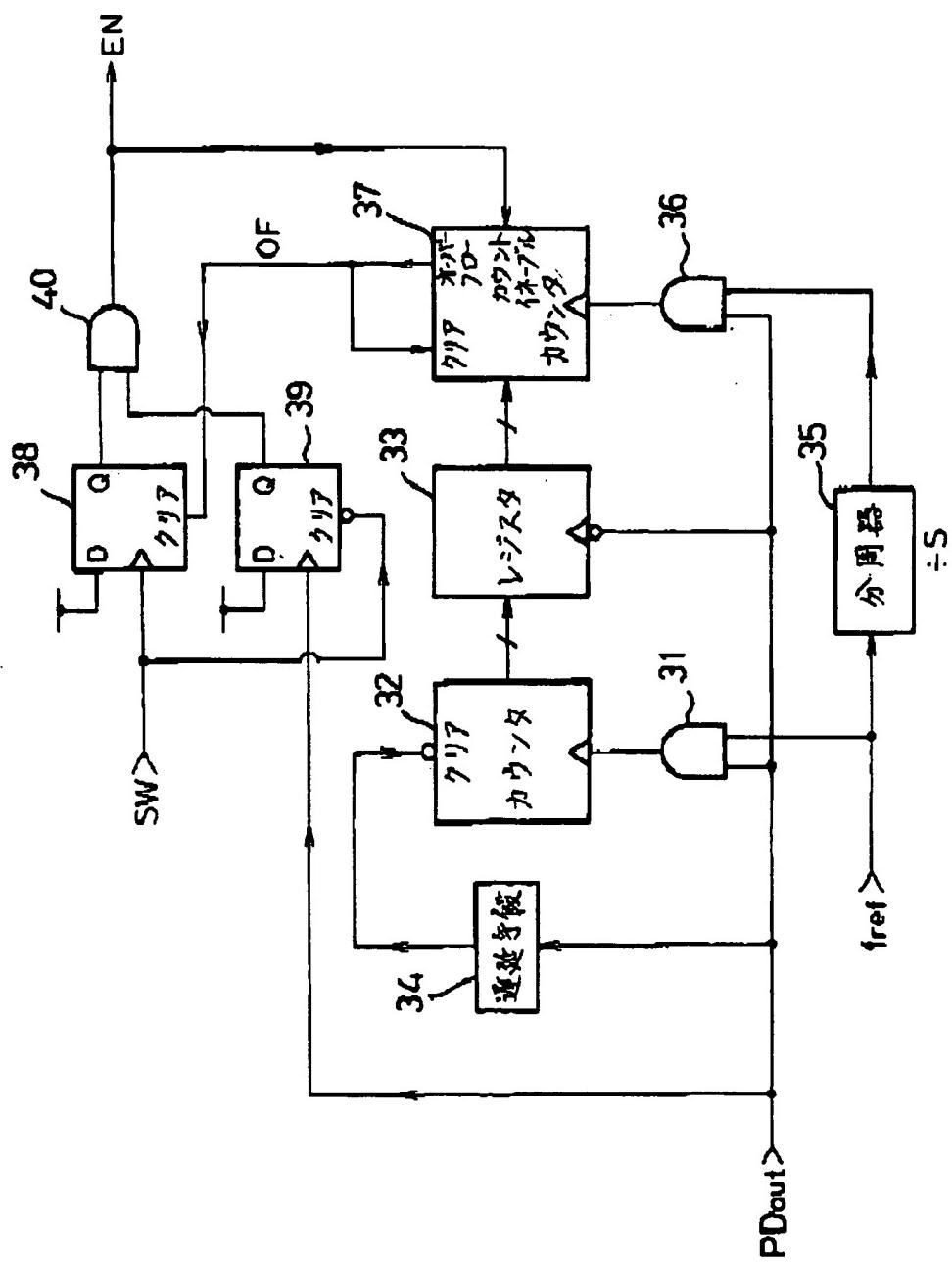
[図4]



(11)

特開平10-126263

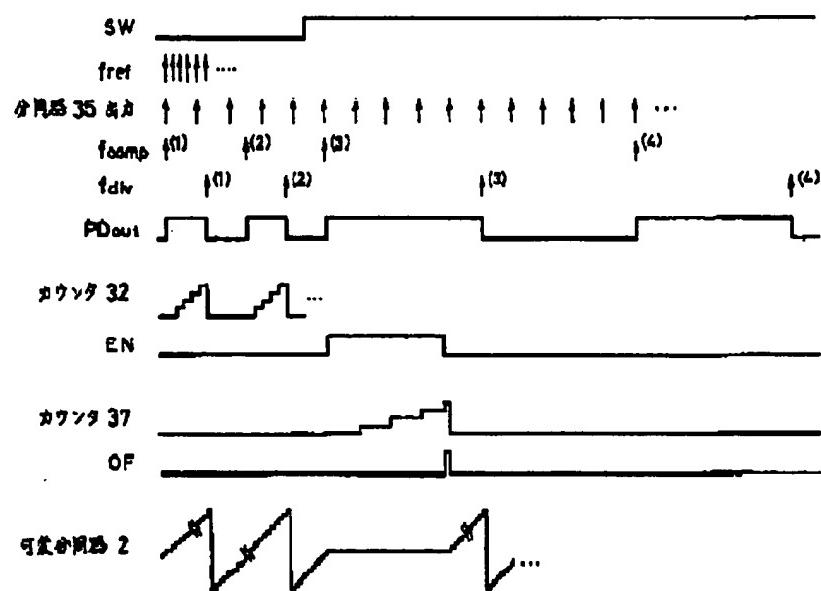
【図6】



(12)

特開平10-126263

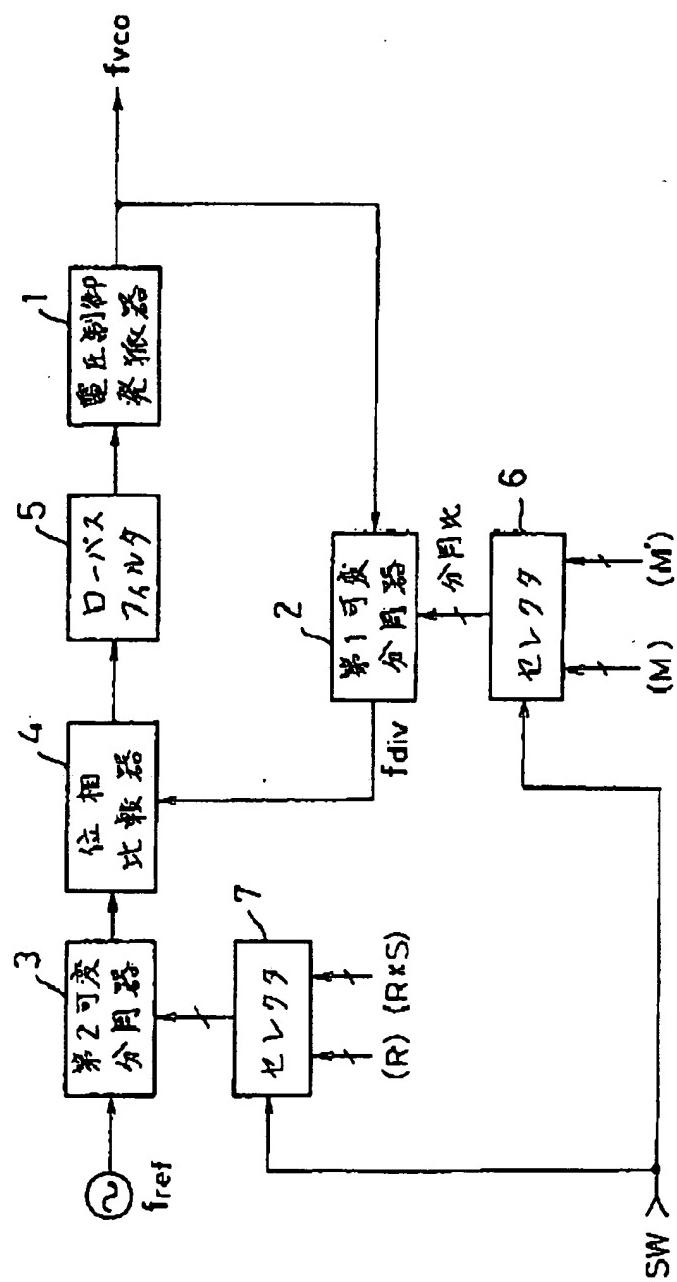
【図6】



(13)

特開平10-126263

【図7】



(14)

特開平10-126263

【図8】

